

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-237816**

(43)Date of publication of application : **31.08.2001**

(51)Int.Cl.

**H04L 7/08**  
**H04J 11/00**  
**H04L 7/10**  
**H04L 12/56**  
**H04L 27/22**

(21)Application number : **2000-052167**

(71)Applicant : **DENSO CORP**

(22)Date of filing : **23.02.2000**

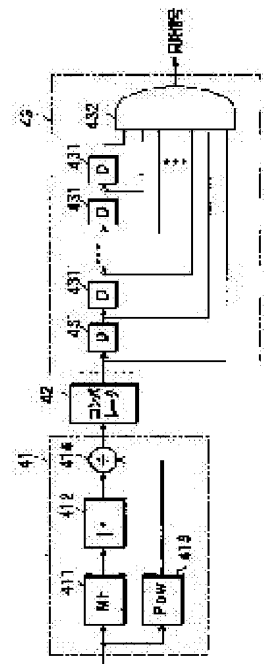
(72)Inventor : **SAWADA MANABU**  
**KUWABARA MASAHIRO**

## (54) SIGNAL SYNCHRONOUS SYSTEM AND RECEIVER

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a signal synchronous system that is applied to a communication system conducting packet communication in a burst way, receives a packet signal to whose head a repetitive signal denoting known N-times is added, and can easily generate a synchronizing signal on the basis of a correlation value of the received signal.

**SOLUTION:** A normalized correlation unit 41 outputs a correlation value of a received signal and a comparator 42 compares the correlation value with a threshold value. An output of the comparator 42 is given to a synchronizing signal generating circuit 43. The synchronizing signal generating circuit 43 consists of M ( $\leq N-1$ ) sets of delay units 431 connected in series and of an AND circuit 32 ANDing output of the delay units 431, and the AND circuit 432 outputs a synchronizing signal being symbol timing when an output of the comparator 42 is at a high level and all output of the M-sets of the delay units 431 are at a high level.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-237816  
(P2001-237816A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 4 L	7/08	H 0 4 L 7/08	A 5 K 0 0 4
H 0 4 J	11/00	H 0 4 J 11/00	Z 5 K 0 2 2
H 0 4 L	7/10	H 0 4 L 7/10	5 K 0 3 0
	12/56	11/20	1 0 2 A 5 K 0 4 7
	27/22	27/22	C 9 A 0 0 1

審査請求 未請求 請求項の数17 O L (全 9 頁)

(21) 出願番号 特願2000-52167 (P2000-52167)

(22) 出願日 平成12年2月23日 (2000. 2. 23)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 澤田 学

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 桑原 雅宏

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外2名)

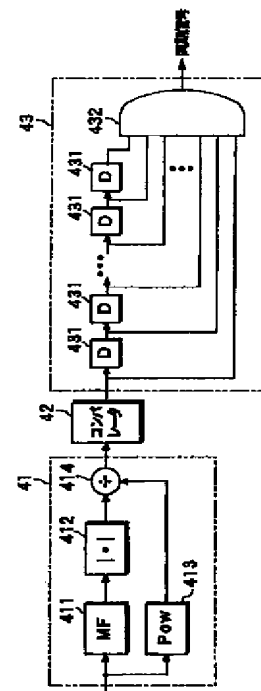
最終頁に続く

(54) 【発明の名称】 信号同期方式および受信装置

(57) 【要約】

【課題】 パースト的にバケット通信を行う通信システムに適用され、先頭に既知N回の繰り返し信号が付加されたバケット信号を受信し、その受信信号の相関値をもとに同期信号を生成するものにおいて、同期信号の生成を簡易に実現できるようにする。

【解決手段】 受信した信号の相関値が、規格化相関器41から出力され、コンパレータ42でスレッシュホールド値と比較される。コンパレータ42の出力は、同期信号生成回路43に入力される。この同期信号生成回路43は、直列接続されたM (≦ N - 1) 個の遅延器431と、各遅延器431の出力の論理積をとるAND回路432から構成されており、コンパレータ42の出力がハイレベルでかつM個の遅延器431の出力がすべてハイレベルであるときに、AND回路432からシンボルタイミングとなる同期信号が出力される。



## 【特許請求の範囲】

【請求項1】 バースト的にパケット通信を行う通信システムに適用され、先頭に既知の複数回の繰り返し信号が付加されたパケット信号を受信し、その受信信号の相関値をもとに同期信号を生成する信号同期方式において、

前記相関値をスレッシュホールド値と比較し、その比較結果の繰り返し性を判別して前記同期信号を生成することを特徴とする信号同期方式。

【請求項2】 直列接続された複数の遅延器により前記比較結果を順次遅延させ、各遅延器の出力結果をもとに前記繰り返し性を判別することを特徴とする請求項1に記載の信号同期方式。

【請求項3】 前記各遅延器の出力のすべてが真であることを条件として前記繰り返し性を判別する請求項2に記載の信号同期方式。

【請求項4】 前記各遅延器の出力のうち真である数が所定数以上であることを条件として前記繰り返し性を判別することを特徴とする請求項2に記載の信号同期方式。

【請求項5】 バースト的にパケット通信を行う通信システムに適用され、先頭に既知の複数回の繰り返し信号が付加されたパケット信号を受信し、その受信信号の相関値をもとに同期信号を生成する信号同期方式において、前記相関値をスレッシュホールド値と比較し、その比較結果の繰り返し性および周期性の消失を判別して前記同期信号を生成することを特徴とする信号同期方式。

【請求項6】 直列接続された複数の遅延器により前記比較結果を順次遅延させ、各遅延器の出力結果および前記比較結果を反転した信号をもとに、前記比較結果の繰り返し性および前記周期性の消失を判別することを特徴とする請求項5に記載の信号同期方式。

【請求項7】 前記各遅延器の出力および前記比較結果を反転した信号のすべてが真であることを条件として前記比較結果の繰り返し性および前記周期性の消失を判別することを特徴とする請求項6に記載の信号同期方式。

【請求項8】 前記各遅延器の出力のうち真である数が所定数以上で、かつ前記比較結果を反転した信号が真であることを条件として前記比較結果の繰り返し性および前記周期性の消失を判別することを特徴とする請求項6に記載の信号同期方式。

【請求項9】 バースト的にパケット通信を行う通信システムに適用され、先頭に既知の複数回の繰り返し信号が付加されたパケット信号を受信し、その受信信号の相関値をもとに同期信号を生成する受信装置において、受信した信号の相関値を検出する相関値検出手段と、この相関値検出手段で検出された相関値をスレッシュホールド値と比較する比較手段と、この比較手段の比較結果の繰り返し性を判別して前記同

期信号を生成する同期信号生成手段とを有することを特徴とする受信装置。

【請求項10】 前記同期信号生成手段は、直列接続された複数の遅延器を有し、この直列接続された複数の遅延器により前記比較結果を順次遅延させ、各遅延器の出力結果をもとに前記繰り返し性を判別するものであることを特徴とする請求項9に記載の受信装置。

【請求項11】 前記同期信号生成手段は、前記各遅延器の出力のすべてが真であることを条件として前記繰り返し性を判別するものであることを特徴とする請求項10に記載の受信装置。

【請求項12】 前記同期信号生成手段は、前記各遅延器の出力のうち真である数が所定数以上であることを条件として前記繰り返し性を判別するものであることを特徴とする請求項10に記載の受信装置。

【請求項13】 バースト的にパケット通信を行う通信システムに適用され、先頭に既知の複数回の繰り返し信号が付加されたパケット信号を受信し、その受信信号の相関値をもとに同期信号を生成する受信装置において、受信した信号の相関値を検出する相関値検出手段と、この相関値検出手段で検出された相関値をスレッシュホールド値と比較する比較手段と、この比較手段の比較結果の繰り返し性および周期性の消失を判別して前記同期信号を生成する同期信号生成手段とを有することを特徴とする受信装置。

【請求項14】 前記同期信号生成手段は、直列接続された複数の遅延器を有し、この直列接続された複数の遅延器により前記比較結果を順次遅延させ、各遅延器の出力結果および前記比較結果を反転した信号をもとに前記比較結果の繰り返し性および周期性の消失を判別するものであることを特徴とする請求項9に記載の受信装置。

【請求項15】 前記同期信号生成手段は、前記各遅延器の出力および前記比較結果を反転した信号のすべてが真であることを条件として前記比較結果の繰り返し性および前記周期性の消失を判別するものであることを特徴とする請求項14に記載の受信装置。

【請求項16】 前記同期信号生成手段は、前記各遅延器の出力のうち真である数が所定数以上で、かつ前記比較結果を反転した信号が真であることを条件として前記比較結果の繰り返し性および前記周期性の消失を判別するものであることを特徴とする請求項14に記載の受信装置。

【請求項17】 前記同期信号生成手段は、前記比較結果の繰り返し性を判別して第1の判別信号を出力する第1の判別手段と、前記周期性の消失を判別して第2の判別信号を出力する第2の判別手段と、前記第1、第2の判別信号が出力されたときに前記同期信号を出力する出力手段とを有することを特徴とする請求項13ないし16のいずれか1つに記載の受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バースト的にパケット通信を行う通信システムに適用され、先頭に既知の複数回の繰り返し信号が付加されたパケット信号を受信し、その受信信号の相関値をもとに同期信号を生成する信号同期方式および受信装置に関する。

【0002】

【従来の技術および発明が解決しようとする課題】バースト的にパケット通信を行う通信システムでは、パケット信号の到来が予測できないため、受信側では、パケット毎に独立な復調同期処理を行う必要がある。このため、既知N回の繰り返し信号をプリアンブルとしてパケットの先頭に付加し、受信側でパケットの先頭に付された繰り返し信号を判別して、同期信号を生成する技術が提案されている。例えば、1999年電子情報通信学会通信ソサイエティ大会B-5-61「OFDM無線LANシステム用シンボルタイミング検出回路の特性」には、受信信号の相関器出力（相関ピーク信号）をデジタルフィルタでピーク積分処理することにより、同期信号を生成するものが記載されている。

【0003】しかしながら、相関器出力は多ビット信号であるため、ピーク積分処理を行うデジタルフィルタでは、多ビット信号の遅延器と加算器が必要となる。このため、回路的に大きくなってしまいう問題がある。

【0004】本発明は上記問題に鑑みたもので、上記した同期信号の生成を簡易に実現できる信号同期方式および受信装置を提供することを目的とする。

【0005】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明では、バースト的にパケット通信を行う通信システムに適用され、先頭に既知の複数回の繰り返し信号が付加されたパケット信号を受信し、その受信信号の相関値をもとに同期信号を生成する信号同期方式において、相関値をスレッシュホールド値と比較し、その比較結果の繰り返し性を判別して同期信号を生成することを特徴としている。

【0006】この発明によれば、相関値をスレッシュホールド値と比較した比較結果の繰り返し性の判別により同期信号を生成しているため、同期信号の生成を簡易に実現することができる。

【0007】なお、本明細書でいう「バースト的にパケット通信を行う」とは、同期が不完全で、連続的でない形でパケット通信を行うものをいう。

【0008】上記した請求項1における繰り返し性の判別は、請求項2に記載の発明のように、直列接続された複数の遅延器により比較結果を順次遅延させ、各遅延器の出力結果をもとに行うことができる。

【0009】この場合、請求項3に記載の発明のように、各遅延器の出力のすべてが真であることを条件とし

て繰り返し性を判別することの他、請求項4に記載の発明のように、各遅延器の出力のうち真である数が所定数以上であることを条件として繰り返し性を判別することができる。

【0010】請求項5に記載の発明では、バースト的にパケット通信を行う通信システムに適用され、先頭に既知の複数回の繰り返し信号が付加されたパケット信号を受信し、その受信信号の相関値をもとに同期信号を生成する信号同期方式において、相関値をスレッシュホールド値と比較し、その比較結果の繰り返し性および周期性の消失を判別して同期信号を生成することを特徴としている。

【0011】この発明によれば、請求項1に記載の発明と同様、同期信号の生成を簡易に実現でき、その同期信号をより精度の高いものとすることができる。

【0012】なお、「周期性の消失」とは、比較結果が、ある周期で繰り返した後にその繰り返しの終了を示すものになったことをいう。

【0013】上記した請求項5における繰り返し性および周期性の消失の判別は、請求項6に記載の発明のように、直列接続された複数の遅延器により比較結果を順次遅延させ、各遅延器の出力結果および比較結果を反転した信号をもとに行うことができる。

【0014】この場合、請求項7に記載の発明のように、各遅延器の出力および比較結果を反転した信号のすべてが真であることを条件として比較結果の繰り返し性および周期性の消失を判別することの他、請求項8に記載の発明のように、各遅延器の出力のうち真である数が所定数以上で、かつ比較結果を反転した信号が真であることを条件として比較結果の繰り返し性および周期性の消失を判別することができる。

【0015】請求項9ないし12に記載の発明では、請求項1ないし4に記載の信号同期方式における受信装置を提供することでき、請求項13ないし17に記載の発明では、請求項5ないし8に記載の信号同期方式における受信装置を提供することができる。

【0016】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。この実施形態は、直交周波数分割多重（Orthogonal Frequency Division Multiplexing: OFDM）方式を用いた通信システムに適用したもので、図1にその通信システムの概念図を示す。

【0017】送信機（TX）からは、既知N回の繰り返し信号からなるプリアンブル（P）とデータからなるパケット信号がバースト的に送信される。受信機（RX）は、その送信された信号を受信し、プリアンブルの繰り返し信号により同期信号を生成して、送信されたデータの復調を行う。

【0018】図2に、送信信号を示す。OFDM方式を用いた通信システムの場合、既知N（=10）回の繰り返

10

20

30

40

50

返し信号からなるブリアンブルと、送信情報信号であるデータからなるパケット信号(図の下段)に対し、送信信号の波形は、図の上段に示すようになる。

【0019】図3に、受信機(TX)の構成を示す。送信された信号は、アンテナ10で受信され、RF/IF回路20で所定の信号処理がなされた後、A/D変換器30でデジタル信号に変換される。このA/D変換器30の出力は、シンボルタイミング検出回路40に入力される。シンボルタイミング検出回路40では、A/D変換器30の出力の相関値を求め、この相関値をスレッシュ

【0020】図4に、シンボルタイミング検出回路40の構成を示す。このシンボルタイミング検出回路40は、相関値検出手段をなす規格化相関器41と、比較手

【0021】規格化相関器41は、図に示すようにマッチトフィルタ(MF)411と、絶対値回路412と、

【0022】マッチトフィルタ411は、図5にその詳細を示すように、入力信号(複素数で表される信号)の複素共役をとる複素共役器4111と、その信号を遅延する遅延器4112と、各遅延器4112の出力とブレ

【0023】パワー検出回路(6サンプル周期の場合)413は、図6にその詳細を示すように、入力信号を遅延する遅延器4131と、各遅延器4131の出力の複素共役をとる複素共役器4132と、各遅延器4131の出力と各複素共役器4132の出力を掛け合わせる乗算器4133と、各乗算器4133の出力を加算する加算器4134から構成されて、入力信号のパワーを検出する。

【0024】マッチトフィルタ411から出力される相関値は、絶対値回路412で絶対値に変換される。絶対値回路412からの出力は、除算回路414でパワー検出器413の出力により除算される。その結果、規格化相関器41からは、規格化(正規化)された相関値が出力される。

【0025】規格化相関器41から出力された相関値は、コンパレータ42でスレッシュド値と比較される。送信信号は、図2に示すように、それぞれの繰り返し信号においてピークを有するものであるため、規格化相関器41から出力された相関値をコンパレータ42でスレッシュド値と比較することにより、各繰り返し信号ごとにハイレベルの信号を出力するようにすることができる。

【0026】コンパレータ42の出力は、同期信号生成回路43に入力される。この同期信号生成回路43は、直列接続されたM( $\leq N-1$ )個の遅延器431と、各遅延器431の出力の論理積をとるAND回路432から構成されている。各遅延器431の遅延時間は、繰り返し信号の周期と等しくなっており、A/D変換器30のサンプル周期を単位として例えば16サンプル周期に設定されている。

【0027】このような構成によれば、コンパレータ42の出力がハイレベルでかつM個の遅延器431の出力がすべてハイレベルである(すなわち、コンパレータ42の出力および各遅延器431の出力のすべてが真である)ときに、AND回路432からハイレベルの信号(シンボルタイミングとなる同期信号)が出力される。

【0028】言い換えれば、上記した同期信号生成回路43は、コンパレータ42からM+1個の連続したハイレベル信号が出力されたことにより、コンパレータ42の出力結果の繰り返し性を判別し、そのタイミングで同期信号を出力する。

【0029】図7に、シンボルタイミング検出回路40の他の構成例を示す。このシンボルタイミング検出回路40は、図4に示す構成に対し、AND回路432の代わりに判定器433が設けられている点で異なっている。この判定器433は、コンパレータ42の出力およびM個の遅延器431の出力のうちハイレベルになっているものの数がK( $K \leq M+1$ )以上であるか否かを判定するもので、その判定が肯定(YES)であるときに、同期信号を出力する。

【0030】このような構成によれば、ブリアンブルにおけるN個の繰り返し信号のうち、コンパレータ42から出力されるハイレベル信号が連続しない(すなわち欠落した信号がある)場合でも、コンパレータ42からK個のハイレベル信号が出力されれば、そのタイミングで同期信号が出力される。

【0031】なお、図4、図7に示す構成において、遅延器431の数をN個以下とし、コンパレータ42からAND回路432、判定器433に直接入力される信号線を少なくするようにすることもできる。

【0032】図8に、シンボルタイミング検出回路40のさらに他の構成例を示す。このシンボルタイミング検出回路40は、図4に示す構成に対し、コンパレータ42から出力される信号をインバータ434で反転した信

号がAND回路432に入力される点で異なっている。

【0033】このような構成によれば、 $L$  ( $L \leq N$ ) 個の遅延器431の出力がすべてハイレベルでかつコンパレータ42の出力が繰り返しの終了を示すローレベルである（すなわち各遅延器431の出力およびコンパレータ42の出力を反転した信号のすべてが真である）ときに、AND回路432から同期信号が出力される。

【0034】言い換えれば、この図8に示す同期信号生成回路43は、コンパレータ42から $L$ 個の連続したハイレベル信号が出力され、その後ローレベル信号が出力されたことにより、コンパレータ42の出力結果の繰り返し性および周期性の消失を判別し、そのタイミングで同期信号を出力する。

【0035】このことにより、図4に示すものよりもより確実にブリアンプルの検出を行って精度のよいタイミング信号を出力することができる。

【0036】図9に、シンボルタイミング検出回路40のさらに他の構成例を示す。このシンボルタイミング検出回路40は、図8に示す構成に対し、AND回路432の代わりに判定器433が設けられ、かつ判定器433の出力とインバータ434の出力の論理積をとるAND回路435が設けられている点で異なっている。判定器433は、 $L$ 個の遅延器431の出力のうちハイレベルになっているものの数が $K$  ( $K \leq L$ ) 以上であるか否かを判定するもので、その判定が肯定（YES）であるときに、ハイレベルの信号を出力する。

【0037】このような構成によれば、コンパレータ42から $K$ 個のハイレベル信号が出力され、かつコンパレータ42から繰り返しの終了を示すローレベルの信号が出力されたときに、AND回路435から同期信号が出力される。

【0038】なお、上記した図9に示す構成例において、遅延器431および判定器433により、比較結果の繰り返し性を判別して第1の判別信号（判定器433の出力信号）を出力する第1の判別手段を構成し、インバータ434により、周期性の消失を判別して第2の判別信号（インバータ434の出力信号）を出力する第2の判別手段を構成し、AND回路435により、第1、第2の判別信号が出力されたときに同期信号を出力する出力手段を構成している。この場合、上記した第1、第2の判別手段および出力手段の構成は、図9に示す構成のものに限らず、他の構成のものであってもよい。例えば、第1の判別手段としては、判定器433を用いるものの他、図8に示すようなAND回路432を用いるようにしてもよい。

【0039】図10に、図8に示す構成のシンボルタイミング検出回路40を用い、ブリアンプルにおける繰り返し信号の数 $N$ を10、遅延器431の数 $L$ を5個、4個、3個、2個にして、5回繰り返し検出、4回繰り返し検出、3回繰り返し検出、2回繰り返し検出を行った

場合の、同期タイミングの検出結果およびコンパレータ42の出力を示す。コンパレータ42は、正規化相関器からの相関値出力をスレッシュド値と比較しているが、その出力は、図に示すように、必ずしも繰り返し信号のピークを正確に検出したものとはなっていない。しかし、そのような状況においても、5回繰り返し検出および4回繰り返し検出の場合は、所望のタイミングで同期信号が出力される。また、3回繰り返し検出、2回繰り返し検出の場合は、所望のタイミングより早く同期信号が出力されている。したがって、繰り返し検出の回数を4回以上に多くすれば、精度のよい同期信号を得ることができる。

【0040】図11に、図8に示す構成のシンボルタイミング検出回路40を用い、図中の左側の諸元で示すように、OFDM信号のサブキャリア数を52、サブキャリア変調をQPSK、システムデータレートを24Mbps、サンプル周波数を20MHz、通信の同期を不完全、データ数/パケットを96バイト、受信機の移動速度を10.8Km/h、伝播路モデルを見通し外（直接波のない間接波による伝播）、検出繰り返し数を5回、前方シフト量を5サンプル（同期信号の出力タイミングがブリアンプルの終点よりも5サンプル周期前）とした場合の、同期ずれに対する検出確率を示す。この場合、CNR（キャリアとノイズのパワー比）が27.26dBと42.26dBの2つの場合についてシミュレーションを行った。

【0041】この実施形態における通信システムの場合、同期ずれ（Td）が-10以上2以下のサンプル周期が、所望同期検出範囲であるため、この図11から、伝播路モデルを見通し外とした場合でも、かなり高い精度で同期検出ができていていることがわかる。

【0042】なお、OFDM方式を用いた通信システムでは、同期信号の出力タイミングをブリアンプルの終点より前にすることにより、受信特性が良好になることがわかっているため、上記実施形態のように、ブリアンプルの終点より前に同期信号を出力させることにより、受信特性のよい受信機とすることができる。

【0043】また、本発明は、OFDM方式を用いた通信システムに適用されるものに限らず、バースト的にパケット通信を行い、パケット信号のブリアンプルに繰り返し信号を用いるものであれば、その他の方式を用いた通信システムにも適用することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るOFDM方式を用いた通信システムの概念図を示す図である。

【図2】図1に示す通信システムにおける送信波形を説明するための図である。

【図3】図1中の受信機（TX）の構成を示す図である。

【図4】図3中のシンボルタイミング検出回路40の構

成を示す図である。

【図5】図3中のマッチフィルタ411の構成を示す図である。

【図6】図3中のパワー検出回路413の構成を示す図である。

【図7】シンボルタイミング検出回路40の他の構成例を示す図である。

【図8】シンボルタイミング検出回路40のさらに他の構成例を示す図である。

【図9】シンボルタイミング検出回路40のさらに他の構成例を示す図である。

【図10】図8に示す構成のシンボルタイミング検出回路40を用い、5回繰り返し検出、4回繰り返し検出、3回繰り返し検出、2回繰り返し検出を行った場合の、\*

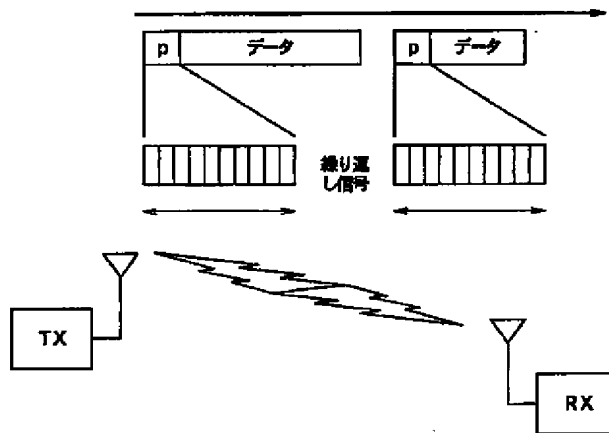
\*同期タイミングの検出結果を示す図である。

【図11】図8に示す構成のシンボルタイミング検出回路40を用いた場合の、同期ずれに対する検出確率を示す図である。

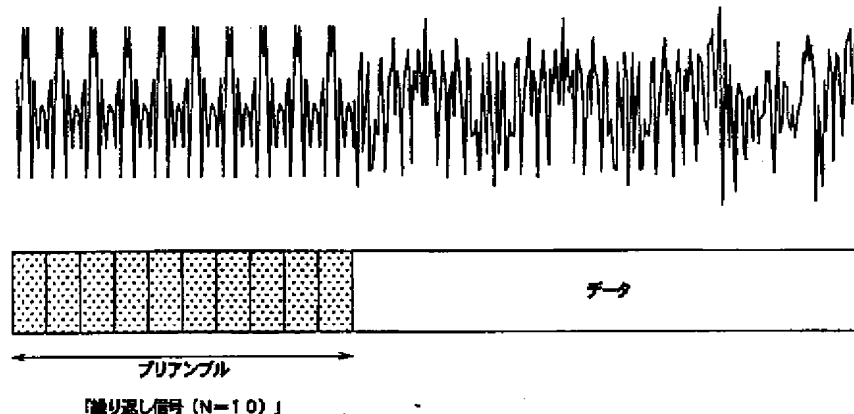
【符号の説明】

10…アンテナ、20…RF/IF回路、30…A/D変換器、40…シンボルタイミング検出回路、50…遅延回路、60…復調回路、41…規格化相関器、42…コンパレータ、43…同期信号生成回路、411…マッチフィルタ、412…絶対値回路、413…パワー検出回路、414…除算回路、42…コンパレータ、43…同期信号生成回路、431…遅延器、432…AND回路、433…判定器、434…インバータ、435…AND回路。

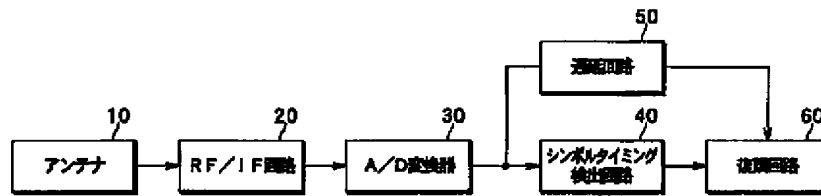
【図1】



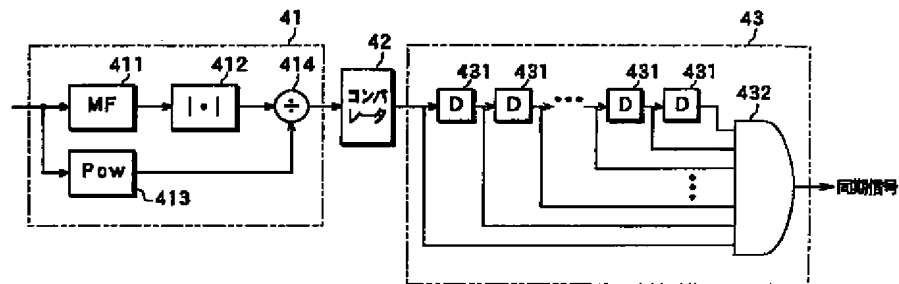
【図2】



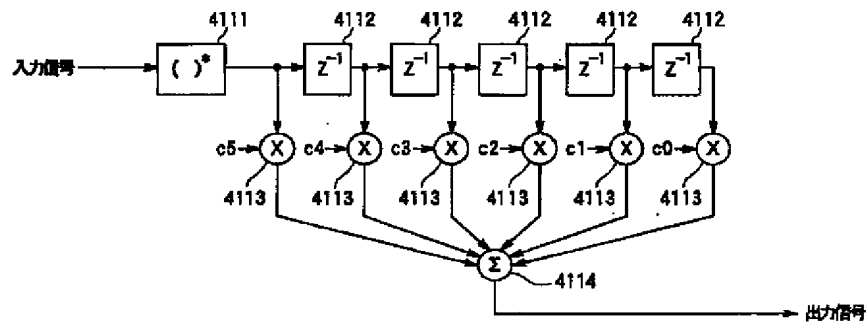
【図3】



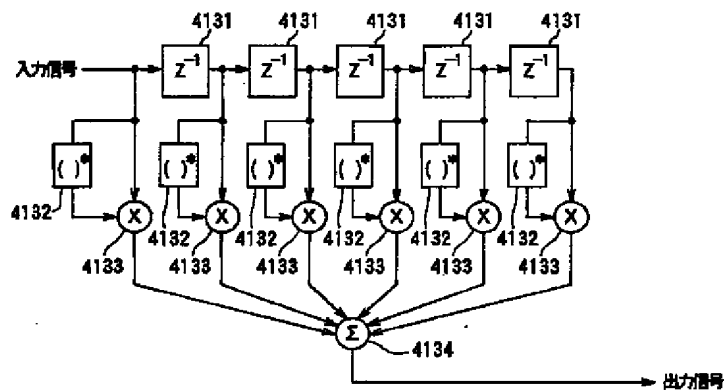
【図4】



【図5】

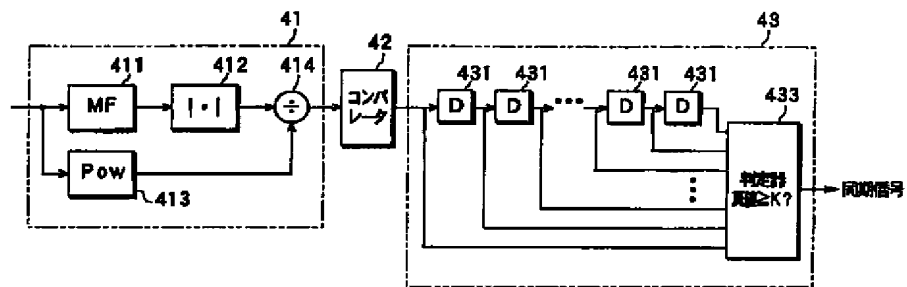


【図6】

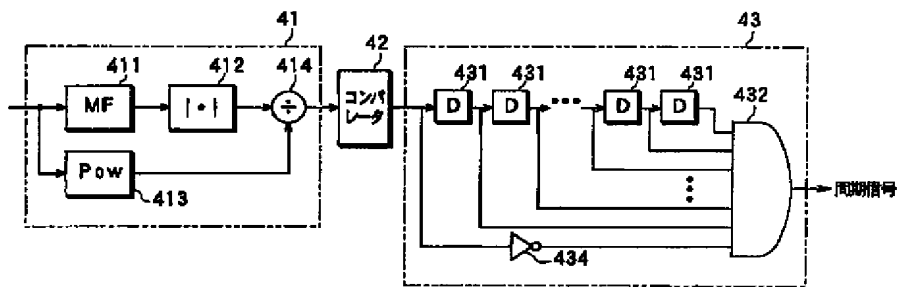




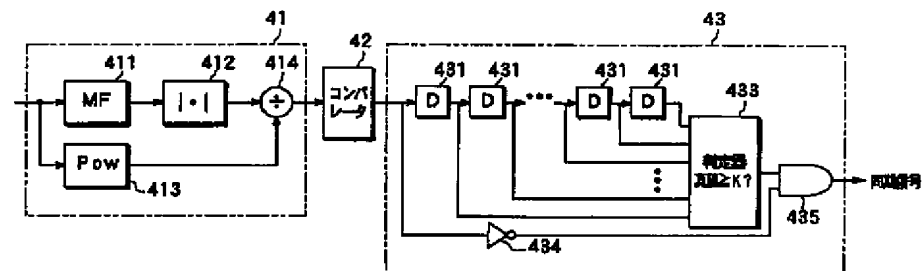
【図7】



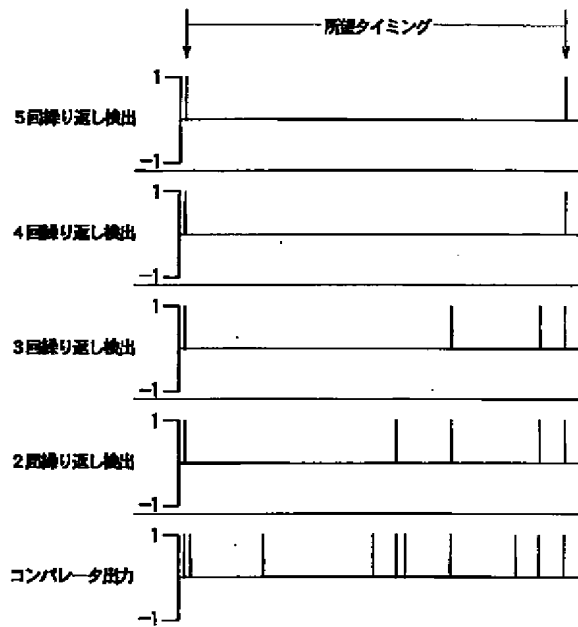
【図8】



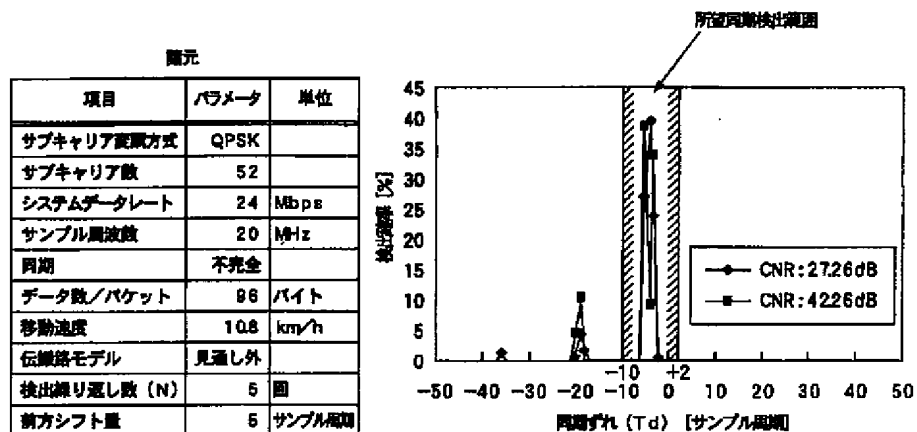
【図9】



【図10】



【図11】



フロントページの続き

F ターム(参考) 5K004 AA05 FA05 FA09 FH08  
 5K022 DD00 DD13 DD17 DD19 DD42  
 5K030 GA05 HA08 HB01 HB02 HB15  
 LA15  
 5K047 AA16 BB01 BB15 CC01 EE02  
 GG11 HH01 HH15 HH21 HH53  
 9A001 BB04 CC02